

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(10)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-334034

(43)公開日 平成6年(1994)12月2日

(51)Int.Cl.⁵

H 01 L 21/78

識別記号 庁内整理番号

M
A
N
Q

F I

技術表示箇所

審査請求 未請求 請求項の数3 OL (全4頁)

(21)出願番号 特願平5-118897

(22)出願日 平成5年(1993)5月21日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1008番地

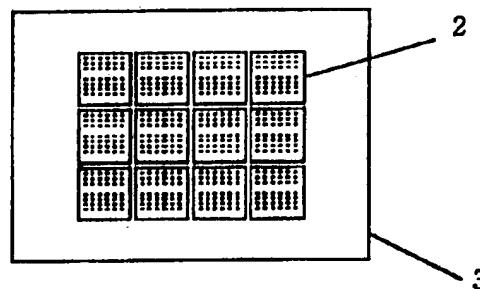
(72)発明者 谷村 彰一

大阪府門真市大字門真1008番地 松下電器
産業株式会社内

(74)代理人 弁理士 森本 繁弘

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 小量多品種生産、低歩留まりの生産において、
より無駄のない半導体装置の製造方法を提供する。【構成】 1チップ単位またはいくつかのチップ単位に分
割した基板4をホルダー3で支持し、ホルダー単位で処
理を行う。また、工程途中で異物検査、電気測定を行
い、不良の発見されない基板4のみを加工する。

2 チップ
3 ホルダー

Express Mail #EL494074922US

【特許請求の範囲】

【請求項1】 ダイシング工程以前の工程において、基板を1チップ単位またはいくつかのチップ単位に分割し、分割した基板をホルダーに保持させて加工することを特徴とする半導体装置の製造方法。

【請求項2】 ホルダーは表面がシリコンである請求項1記載の半導体装置の製造方法。

【請求項3】 分割した基板の加工において、完成前の段階で検査をする工程を設け、前記検査により検出された異常基板を前記検査工程以降の工程で処理しないことを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体基板を加工する半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来、半導体装置の製造は、限られた種類の半導体装置をいかに大量に、低価格で製造するかを目標に改善されてきたが、近年、多くの品種の半導体装置をそれぞれ小量のみ生産することが多くなってきた。また、従来の製造方法ではある程度歩留まりが得られたため、1枚の基板から多くの正常な半導体装置を得ることができた。しかしながら、近年では、半導体装置の微細化、高集積化、大面積化にともない、高い歩留まりを得ることが困難になってきており、1枚の基板から多くの正常な半導体装置を得ることが困難となっている。

【0003】 以下図面を参照しながら、上記した従来の半導体装置の製造方法の一例について説明する。図5は従来の半導体装置の製造方法における1枚のウエハ上のチップの並びを示す概略図である。図5において、1はウエハ、2はその上に形成されるチップである。従来は、1枚のウエハ1上にフォトリソ工程において等しいパターンの多数ショット、全面の膜形成、全面のエッチング等の工程を繰り返すことにより、多数のチップ2を同時に形成した。その後、ダイシング工程においてそれぞれのチップを分割しパッケージングを行う。こうして1枚のウエハ1に同一のチップ2を多数形成することにより、最も効率よくかつ大量に同一品種の半導体装置を製造することができた。

【0004】

【発明が解決しようとする課題】 しかしながら上記のような方法では、多くの品種を小量のみ生産する場合に無駄が発生するという問題点があった。また、半導体装置チップの微細化、高集積化にともない、そのウエハの中心部と周辺部での膜厚やエッチングレートの違いが半導体装置の特性に影響を与えるという問題が生じる。また、歩留まりの低下にともない、最終工程を終了した後の1枚のウエハから得られる正常な半導体装置はほんのわずかな数となり、それ以外のチップに対してはある工程で不良になった後も正常なチップと同様な処理が行わ

れており、無駄が発生していた。

【0005】 本発明は上記問題点に鑑み、小量多品種生産、低歩留まりの生産において、より無駄のない半導体装置の製造方法を提供するものである。

【0006】

【課題を解決するための手段】 上記問題点を解決するために本発明の半導体装置の製造方法は、ダイシング工程以前において基板を分割し、分割した基板をホルダーで保持して加工することを特徴とするものである。

【0007】 また、分割した基板を保持するホルダーの表面をシリコンとしたことを特徴とするものである。さらに、分割した基板を加工する際に、完成前の段階で検査をする工程を設け、この検査により異常が検出された基板を前記検査工程以降の工程で処理しないようとするものである。

【0008】

【作用】 本発明は上記した方法を用いることにより、1回の処理をウエハ単位でなくチップ単位で行うことができ、必要なチップのみを処理することができる。また、半導体装置の微細化、高集積度を満足させるために必要なチップ内の膜厚、エッチングレートの均一性が保たれる部分にのみチップをおいて加工することができ、周囲の部分から不良品を発生する無駄をなくすことができる。

【0009】 また、分割した基板を保持するためのホルダーは、工程によっては材質に影響されないが、特定のエッチング工程などでは、加工しようとするチップの周囲の表面の材料や面積によって加工形状が変化する工程もあるため、チップ表面と同質のシリコンを表面材料としたホルダーを用いることにより、従来と同様の加工を行うことが可能となる。

【0010】 さらに、工程の途中で、表面異物検査や、電気測定などの検査を行い、不良が発生していると判断できた時点で不良品の加工を中止し、良品のみを集めて加工することにより、無駄な処理をすることを防ぐことができる。

【0011】

【実施例】 以下本発明の一実施例の半導体装置の製造方法について、図面を参照しながら説明する。

【0012】 図1は本発明の第1の実施例における半導体装置の製造方法における加工時のチップの並びを示す概略図である。図1において、2はチップ、3はホルダーである。

【0013】 まず基板をいくつかのチップ2あるいは1つづつのチップ単位に、加工前あるいはある工程まで加工した後に分割する。それらのうち等しい条件で加工される分割した基板を集めてホルダー3で保持する。この際、加工すべき分割した基板が登載されている部分は、これらの加工の際に必要となる加工精度をみたすことができる面積内に入るように設定する。

【0014】次に、このホルダー単位で加工装置で処理を繰り返すことにより半導体装置を完成させる。本実施例で用いるホルダー3は図2に示すように、複数あるいは1つのチップあるいは分割した基板を保持できる保持凹部をもつ形状をしたものである。

【0015】図3にホルダー3に1あるいはそれ以上の個数のチップからなる分割した基板4を保持したときの断面図を示す。図3(a)では、最も単純な構造のホルダー3の例を示しており、凹段部を設けて分割した基板4を水平方向および垂直方向に支える形状をしている。一部の工程では、ホルダー3の表面と分割した基板4の表面との高さがほぼ一致していないと加工状態が変わる工程もあり、その場合には図に示すような基板4の表面と一致した表面をもつホルダー3を用いる。

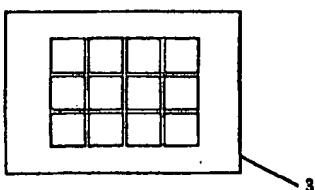
【0016】図3(b)には、基板4を下向きに処理する必要がある場合や、基板4を固定しなければならない場合に用いるホルダーの例を示す。図のように、ホルダーはA、B2つの部分からなり、ホルダA5にはテーパ型をもつ穴を設け、ホルダA5とホルダB6によって分割した基板4がはさまれるような構造となっている。

【0017】上記のように、基板を分割してホルダー3で支持し、ホルダー単位で処理を行うことによって、必要な基板(チップ)のみを処理することができ、多品種小ロの生産の際も無駄を発生することができない。また、膜厚、エッティングレートの均一性が保たれる部分にのみ基板において加工することができ、周囲の部分から不良品を発生する無駄をなくすことができる。

【0018】さらに、工程の途中で、基板の表面異物検査や、電気測定などの検査を行い、不良が発生していると判断できた時点での不良品の加工を中止し、良品の基板のみを再度ホルダーにセットしなおすことにより、不良基板に対して加工するといった無駄な処理をすることを防ぐことができる。

【0019】以下本発明の第2の実施例について図面を参照しながら説明する。図4は本発明の第2の実施例を

【図2】



示す半導体装置の製造方法において用いるホルダー3の断面図である。本実施例で用いるホルダー3は図に示すように、分割した基板4で表面が隠れるホルダー3の本体は石英部10とし、表面が露出する部分11の材料をシリコンとする。本実施例のホルダー3を用いることにより、エッティングの際にエッティングガスがホルダー3の表面と反応して処理状態が変わることや、膜形成時に膜とホルダー3との密着性が悪く膜はがれが生じて歩留まりを低下するといった問題をなくすことができる。

10 【0020】

【発明の効果】以上のように本発明は、基板を分割して加工することと、分割した基板を加工する際に前記分割した基板を保持するためのホルダーを用いること、また、分割した基板を保持するホルダーにシリコン部を設けたこと、さらには、分割した基板を加工する際に、完成前の段階で検査をする工程を設けることと、前記検査により異常が検出された基板を前記検査工程以降の工程で処理しないことによって、小量多品種生産、低歩留まりの生産において、より無駄のない半導体装置の製造方

20 法を提供するものである。

【図面の簡単な説明】

【図1】本発明の第1の実施例における半導体装置の製造方法における加工時のチップの並びを示す概略図

【図2】同実施例における製造方法の説明のためのホルダーの概念図

【図3】同実施例におけるホルダーの断面図

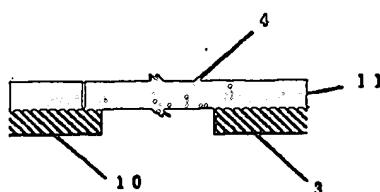
【図4】本発明の第2の実施例におけるホルダーの断面図

【図5】従来の半導体装置の製造方法における1枚のウエハ上のチップの並びを示す概略図

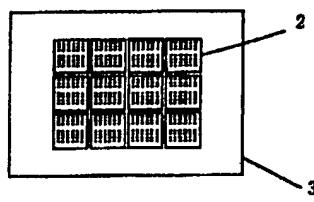
【符号の説明】

- 2 チップ
- 3 ホルダー
- 4 分割した基板
- 10 石英部
- 11 シリコン部

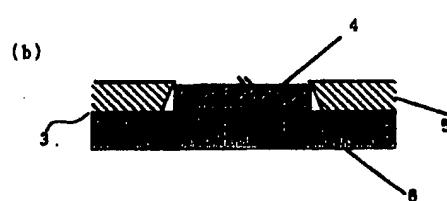
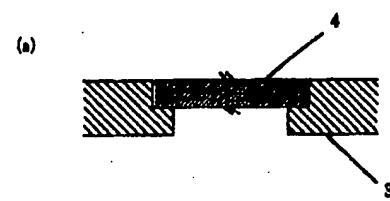
【図4】



【図1】



【図3】



【図5】

